

**【特許請求の範囲】**

【請求項1】 各々が1以上のメモリブロックを有しかつ各々が属性が異なるデータを不揮発的に格納するための複数のメモリブロック領域、およびデータ書換時、複数の外部制御信号の状態に従って、前記複数のメモリブロックグループのデータ書換に対する保護態様を各前記領域単位で設定するための制御手段を備える、半導体記憶装置。

【請求項2】 各前記メモリブロックに対して設けられ、対応のメモリブロックの格納データの書換の禁止/許可を示すロックビットを格納するための手段をさらに備え、前記制御手段は、前記複数の外部制御信号の状態に従って、各前記領域ごとに対応のロックビットを有効とするか無効とするかを決定する手段を含む、請求項1記載の半導体記憶装置。

【請求項3】 前記複数の外部制御信号は、消費電流を低下させるパワーダウンモードを指示するリセットパワーダウンモード指示信号と、データ書換に対するプロテクトの有無を指示する第1および第2のライトプロテクト指示信号とを含む、請求項1または2記載の半導体記憶装置。

【請求項4】 前記データ書換は、記憶データの消去ならびに外部からのデータの書込および記憶を含む、請求項1から3のいずれかに記載の半導体記憶装置。

【請求項5】 複数の不揮発性メモリブロックを有しかつライトプロテクト機能を有する半導体記憶装置において、第1および第2のライトプロテクト指示信号入力ピンを設け、前記複数の不揮発性メモリブロック個々のライトプロテクトの態様を1以上のメモリブロックを有する領域単位で設定できるようにしたことを特徴とする、半導体記憶装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】この発明は半導体記憶装置に関し、特に、データ書換に対するプロテクト（保護）機能を有する不揮発性半導体記憶装置に関する。より特定的には、データの書込および消去に対するプロテクトの態様を設定するための構成に関する。

**【0002】**

【従来の技術】半導体記憶装置は、磁気ディスクを記憶媒体として用いる記憶装置に比べて、小型、軽量、および高速アクセス可能などの利点を有しており、広範な用途において用いられている。このような半導体記憶装置の1つに、情報を不揮発的に記憶する不揮発性半導体記憶装置がある。この不揮発性半導体記憶装置は、電源遮断時においても、その記憶情報を保持しており、携帯情報端末などの電池を電源とする機器においてプログラムメモリまたはデータメモリとして用いられている。このような不揮発性半導体記憶装置の1つに、メモリセルが

1トランジスタで構成され、高集積化が可能であり、またある大きさのアドレス範囲のデータを一度に電氣的に消去することのできるフラッシュEEPROM（電氣的に書込・消去可能なリード・オンリ・メモリ：以下、フラッシュメモリと称す）が知られている。

【0003】フラッシュメモリなどの不揮発性半導体記憶装置においては、情報を不揮発的に記憶することが前提とされており、したがって、誤った書込および消去などにより、不揮発的に記憶しているデータが書換えられるのを防止する必要がある。特に、この不揮発性半導体記憶装置をプログラムメモリとして用いた場合、その記憶データは、確実に保持する必要がある、誤消去および誤書込などを防止する必要がある。このような誤書込および誤消去を防止するために、フラッシュメモリなどの不揮発性半導体記憶装置においては、「ライトプロテクト」機能が設けられている。このライトプロテクト機能は、利用者が、書込および消去をすることを望まないデータ領域（メモリブロック）に対し、書込および消去動作に対しロックをかけて、このメモリブロックに対する誤書込および誤消去を防止する手法である。

【0004】図13は、従来の不揮発性半導体記憶装置の書込/消去に関連する部分の構成を概略的に示す図である。図13において、不揮発性半導体記憶装置は、各々が情報を不揮発的に記憶する複数の不揮発性メモリセルを有するメモリアレイ100と、メモリアレイ100の不揮発性メモリセルへの書込および消去の禁止/許可を示す情報を格納するプロテクト制御データ格納領域102を含む。

【0005】メモリアレイ100は、複数のメモリブロック100a~100nに分割され、ブロック単位で消去を行なうことができる。

【0006】プロテクト制御データ格納領域102は、メモリブロック100a~100nそれぞれに対応して設けられるロックビット格納部102a~102nを含む。これらのロックビット格納部102a~102nは、対応のメモリブロック100a~100nに対する書込および消去の禁止/許可を示すロックビットLBa~LBnを格納する。ロックビットLBa~LBnの値により、メモリブロック100a~100nの書込/消去の禁止/許可が示され、したがって、ブロック単位で書込/消去動作を禁止することができる。

【0007】不揮発性半導体記憶装置は、さらに、チップイネーブル信号/CE、リセットパワーダウンモード信号/RP、およびライトプロテクト信号/WPとブロックアドレス信号とを受け、プロテクト制御データ格納領域102に格納されたロックビットLBa~LBnの値に従って、ブロックアドレス信号が指定するメモリブロックに対する書込/消去動作を制御する書込/消去制御回路103と、この書込/消去制御回路103の制御の下に、アドレス信号が指定するメモリブロック（また

はページ)に対する消去/書込を行なう書込/消去回路104を含む。

【0008】書込/消去制御回路103は、チップイネーブル信号/CEの活性化時、リセットパワーダウンモード信号/RPおよびライトプロテクト信号/WPの状態に従って、書込/消去動作モードが指定されたか否かを判定し、書込/消去動作が指定されたとき、ブロックアドレス信号が指定するメモリブロックに対応して設けられたロックビット格納部からロックビットLB(LBa~LBn)を読み出し、このアドレス指定されたメモリブロックに対する書込/消去の禁止/許可を決定する。書込/消去動作が許可されている場合には、この書込/消去制御回路103は、書込/消去に必要な電圧を生成して書込/消去回路104へ与える。

【0009】書込/消去回路104は、アドレス信号に従ってメモリアレイ100におけるブロックおよびメモリスセルの選択を行なう、XデコーダおよびYデコーダを含む。

【0010】この不揮発性半導体記憶装置においては、書込および消去動作に対する保護を行なうライトプロテクト機能は、リセットパワーダウンモード信号/RPとライトプロテクト信号/WPとアドレス指定されたメモリブロックから読出されたロックビットLBの状態に従って書込または消去動作が制御される。

【0011】メモリアレイ100は、図14に示すように、各々が1以上のメモリブロックを有する複数の領域100br、100prおよび100mrに分割される。不揮発性半導体記憶装置は、プログラムおよびデータを格納する。この格納するデータの属性(または種類)に応じて、格納領域が振り分けられる。図14においては、このメモリアレイ100は、電源投入時などの初期動作時に必要とされるブートコードなどを格納するブートブロック領域100brと、製造者および利用者両者が、固定的に利用する、電話番号、識別番号などの数値パラメータを格納するパラメータブロック領域100prと、利用者が、実使用時において自由に書換えるデータを格納するメインブロック領域100mrに分割される。この図14に示すようなアレイ分割構成を有する場合、外部制御信号/RPおよび/WPおよびロックビットに従って図15に示すようなライトプロテクト機能が実現される。

【0012】(i) リセットパワーダウンモード信号/RPが、通常動作モード時の論理ハイレベル(Hレベル)よりも高い電圧レベルの昇圧レベルHHに設定されたとき、ライトプロテクト信号/WPの状態およびロックビットLBの値にかかわらず、メモリアレイ100のメモリブロック100a~100nに対しては、その領域にかかわらず、すべて書込または消去を行なうことができる。また、この状態においては、ロックビットLBの書込も可能である。メモリアレイ100のデータの書

込/消去とロックビットLBの書込/消去(書換)は、コマンドにより指定される。

【0013】(ii) リセットパワーダウンモード信号/RPおよびライトプロテクト信号/WPがともにHレベルに設定されたとき、ロックビットLBの値にかかわらず、メモリアレイ100のブートブロック領域100br、パラメータブロック領域100prおよびメインブロック領域100mrに対し書込および消去を行なうことができる。また、ロックビットLBに対しても、書込/消去を行なうことができる。

【0014】(iii) リセットパワーダウンモード信号/RPがHレベルであり、またライトプロテクト信号/WPが接地電圧レベルの論理ローレベル(Lレベル)のときには、メモリブロック100a~100nそれぞれに対応して設けられたロックビットLBの値に従って書込/消去の禁止/許可が決定される。ロックビットLBがロック状態を示すときには、対応のメモリブロックに対する書込および消去が禁止される。ロックビットLBがアンロック状態を示す場合には、対応のメモリブロックに対する書込および消去を行なうことができる。また、ロックビットLBに対しても、その値の書換を行なうことができる。

【0015】(iv) リセットパワーダウンモード信号/RPがLレベルのときには、この不揮発性半導体記憶装置はパワーダウンモードに設定され、内部動作は禁止される。このパワーダウンモードにおいては、内部回路の動作を禁止し、不揮発性半導体記憶装置をスタンバイ状態として、その消費電流を低減する。この状態においては、記憶情報の書換が生じてはならず、メモリアレイ100のブートブロック領域100br、パラメータブロック領域100prおよびメインブロック領域100mrのメモリスセルすべてのデータの書換(書込および消去両者を含む)がロックビットLBの値にかかわらず禁止される。同様に、ロックビットLBの値の書換も禁止される。

【0016】上述のように、ロックビットLBを用いることにより、メモリブロック単位で書込および消去の禁止/許可(ロック/アンロック)を設定することができ、誤消去および誤書込による記憶データの書換を生じることが防止することができ、必要なデータを確実に保持することができる。

【0017】

【発明が解決しようとする課題】メモリブロック単位での書込および消去の禁止/許可は、ロックビットLBにより設定することができる。このロックビットLBの有効/無効、すなわちロックビットLBの値にかかわらず書込または消去を行なうか否かは、外部からの制御信号、すなわちリセットパワーダウンモード信号/RPおよびライトプロテクト信号/WPにより設定することができる。しかしながら、従来の書込および消去に対する

禁止／許可を制御するロック制御においては、ブートブロック領域、パラメータブロック領域およびメインブロック領域のすべてのブロック領域に共通にロック制御の態様が外部制御信号／RPおよび／WPにより決定される。すなわち、(i)メモリアレイ100のメモリセルに対しロックビットLBの値にかかわらず書込および消去を許可する、(ii)ロックビットに従って禁止／許可を決定する、および(iii)ロックビットの値にかかわらず書込および消去を禁止するの3つの態様である。メモリアレイ100において、ブートブロック領域100brは、電源投入時におけるシステム(装置:この不揮発性半導体記憶装置が用いられる装置の全体)を初期設定するためのブートプログラムコードおよび、割込処理などを行なうための必要な制御プログラムコードなどが格納されている。リセットパワーダウンモード信号／RPがHHレベルに設定されるのは、この不揮発性半導体記憶装置に必要な情報(コードおよびデータ両者を含めて以下データと称す)を書込むときであり、これは製造者において行なわれる。利用者が一般的に使用する場合、通常リセットパワーダウンモード信号／RPがHHレベルに設定されることはない(HHレベルは、通常のHレベルよりもさらに高い電圧レベルであるため)。

【0018】また、パラメータブロック領域100prにおいても、この不揮発性半導体記憶装置の識別番号、時刻情報、などの固有の数値パラメータが格納される。一方、このパラメータブロック領域100prにおいては、用途に応じて利用者の識別番号、たとえばICカードにおける暗証番号、または携帯電話器における電話番号、または携帯情報端末のメモ機能を実現するための電話番号および住所データなどが格納される。メインブロック領域100mrにおいては、利用者が常時使用してこの内容を書換えることができ、用途に応じて留守番電話機能を実現する音声情報、およびデジタルカメラにおける画像情報などが格納される。したがって、これらの格納データには、絶対に書換えられてはいけないデータ、および書換が生じても致命的とはならないデータが存在する。

【0019】しかしながら、この図15に示すように、従来の不揮発性半導体記憶装置においては、利用者の使用時においては、メモリアレイ100の各メモリブロックに対しすべて共通にその書込および消去に対する禁止／許可の態様が設定されているため、書換えるべきでないデータが誤って書換えられる誤書込および誤消去が生じる可能性がある。たとえば、信号／RPおよび／WPをともにHレベルに設定した場合、メモリアレイ100の各領域に対し、書込／消去を行なうことができ、したがって、いずれのメモリブロックにおいてもそのデータの書換が可能である。この場合、ライトプロテクト機能は、不能動化されているため、誤書込／誤消去の可能性

が生じる。一方、信号／RPおよび／WPをそれぞれHレベルおよびLレベルに設定した場合、ロックビットLBの値に従って書込／消去の禁止／許可が制御される。しかしながら、ロックビットLBは、その値を変更することができる。したがって、誤ってロックビットLBの値を設定した場合、この誤って設定されたロックビットの値に従って書込／消去の禁止／許可が制御されるため、同様誤書込／誤消去の可能性が生じる。

【0020】さらに、利用者が使用する場合、一旦パラメータブロック領域に設定された数値パラメータの書換を確実に禁止するために、メインブロック領域100mrのメモリブロックに対する書込／消去に対してはロックビットLBの値に従って書込／消去の制御を行ない、一方、パラメータブロック領域100prは、ロック状態に設定するのが好ましい。しかしながら、図15に示すように、従来の不揮発性半導体記憶装置においてはこのようなロック制御を行なうことができない。

【0021】また、書込または消去動作を行なう場合、ロックビットの書換を禁止することができず、誤って別のメモリブロックのロックビットがアンロック状態に設定される可能性があり、この場合、誤書込／誤消去を防止することができなくなる。

【0022】したがって、従来のように、リセットパワーダウンモード信号／RPおよびライトプロテクト信号／WPを用いてロック態様を設定する場合、確実に誤書込／誤消去などの誤書換を防止するのが困難であるという問題があった。

【0023】それゆえ、この発明の目的は、確実に誤書換を防止することのできる半導体記憶装置を提供することである。

【0024】この発明の他の目的は、ロック態様をより柔軟に設定することのできる不揮発性半導体記憶装置を提供することである。

【0025】この発明のさらに他の目的は、ロックビットに対してもロック／アンロックを設定することのできる不揮発性半導体記憶装置を提供することである。

【0026】

【課題を解決するための手段】この発明は、要約すれば、ライトプロテクト機能を実現するために、外部制御信号の数を増加させ、これにより、ロック態様の種類を増加させるものである。

【0027】すなわち、請求項1に係る半導体記憶装置は、各々が1以上のメモリブロックを有しかつ各々が属性が異なるデータを格納するための複数のメモリブロック領域と、データ書換時、複数の外部制御信号の状態に従って複数のメモリブロック領域のデータ書換に対する態様を各領域単位で設定するための制御手段を備える。

【0028】請求項2に係る半導体記憶装置は、請求項1の装置がさらに各メモリブロックに対して設けられ、対応のメモリブロックの格納データの書換の禁止／許可

を示すロックビットを格納する手段を備え、制御手段が複数の外部制御信号の状態に従って各領域ごとに対応のロックビットを有効とするか無効とするかを決定する手段を含む。

【0029】請求項3に係る半導体記憶装置は、請求項1または2の複数の外部制御信号が、消費電流を低下させるパワーダウンモードを指定するリセットパワーダウンモード指示信号と、データ書換に対するプロテクトを指示する第1および第2のライトプロテクト指示信号とを含む。

【0030】請求項4に係る半導体記憶装置は、請求項1から3の装置において、各メモリブロックが、データを不揮発的に記憶するメモリセルを有し、データ書換は、記憶データの消去ならびに外部からのデータの書込および記憶を含む。

【0031】請求項5に係る発明は、複数の不揮発性メモリブロックを有しかつライトプロテクト機能を有する半導体記憶装置において、第1および第2のライトプロテクト指示信号入力ピンを設け、複数のメモリブロック個々のライトプロテクトの態様を所定数のメモリブロックを有する領域単位で設定できるようにしたことを特徴とする。

【0032】複数のメモリブロックグループに対し、データ書換時にメモリブロック領域単位でロック態様を設定することができるので、データ書換をすべきグループおよびデータ書換を行わず、記憶データを確実に保持すべき領域を区別してロック態様を設定することができる、より正確に誤書換を防止することができる。

【0033】また、ロック態様を各領域単位で設定することができるため、利用者の要求するさまざまなロック態様の組合せを実現することができ、利用者の要求に応えたライトプロテクト機能を実現することができる。

【0034】

【発明の実施の形態】

〔実施の形態1〕図1は、この発明の実施の形態1に従う不揮発性半導体記憶装置の全体の構成を概略的に示す図である。図1において、この不揮発性半導体記憶装置はたとえばフラッシュメモリであり、行列状に配列される複数の不揮発性メモリセルを有するメモリアレイ1を含む。メモリアレイ1は、各々が行列状に配列される複数のメモリセルを有する複数のメモリブロック1a～1nに分割される。これらのメモリブロック1a～1nは、その記憶データの属性に応じてブートブロック領域1br、パラメータブロック領域1prおよびメインブロック領域1mrに分割される。メモリブロック1aがブートブロックとして用いられ、メモリブロック1bおよび1cがパラメータブロックとして用いられ、メモリブロック1d～1nがメインブロックとして用いられる。

【0035】ここで、「属性」は、記憶データの種類と

同様の意味を有する。すなわち、ブートブロック領域1brのメモリブロック1aには、書換える必要のないコード、すなわち装置またはシステム立ち上げ時（電源投入時）に用いられるブートコードおよび割込処理などの制御プログラムのコードが格納される。パラメータブロック領域1prに含まれるメモリブロック1bおよび1cには、この記憶装置の識別番号（ID番号）、ICカード適用時における利用者の識別番号（暗証番号）、電話器への適用時における電話番号などの用途に応じた比較的書換えられることのない数値パラメータデータが格納される。メインブロック領域1mrのメモリブロック1d～1nには、利用者が利用時に書換えられるデータが格納される。したがって、このブートブロック領域1brのメモリブロック1aは、製造者が、製品出荷前に必要なブートコードおよびプログラムコードを書込む。パラメータブロック領域1prのメモリブロック1bおよび1cには、製造者が必要な数値パラメータを書込むとともに、利用者が利用を行なうとき、必要な数値パラメータを書込む。メインブロック領域1mrのメモリブロック1d～1nは、利用者がデータの書換を行なう。

【0036】この不揮発性半導体記憶装置は、さらに、メモリブロック1a～1nそれぞれに対応して設けられ、これらのメモリブロック1a～1nの書込および消去の禁止／許可を制御するロックビットLBを格納するプロテクト制御データ格納領域2を含む。このプロテクト制御データ格納領域2は、メモリブロック1a～1nそれぞれに対してロックビットLBa～LBnを不揮発的に記憶するロックビット格納部2a～2nを含む。

【0037】この不揮発性半導体記憶装置は、さらに、データ書込時1ページの書込データを格納するページバッファ3と、外部制御信号、すなわちチップイネーブル信号／CE、出力イネーブル信号／OE、ライトイネーブル信号／WE、リセットパワーダウンモード信号／RP、第1および第2のライトプロテクト信号／WPおよび／XPを受け、指定された動作モードに従って必要な内部電圧および内部制御信号を発生する制御回路4と、外部からのアドレス信号ADを取込み内部アドレス信号を発生するアドレスバッファ5と、アドレスバッファ5からの内部アドレス信号をデコードし、メモリアレイ1のアドレス指定されたメモリセルを選択するアドレスデコード6と、アドレスデコード6からの列選択信号に従ってメモリアレイ1のアドレス指定された列を選択するYゲートと、このYゲートにより選択された列から読出されたデータを検知し増幅するセンスアンプを含む。図1においては、Yゲートおよびセンスアンプを1つのブロック7で示す。

【0038】さらに、制御回路4の制御の下に、プロテクト制御データ格納領域2からアドレス指定されたメモリブロックに対応するロックビットの読出または書込を行なうLBリード／ライト回路8と、制御回路4の制御

の下に、この不揮発性半導体記憶装置の内部状態を示すステータスデータを格納するステータスレジスタ9と、制御回路4の制御の下に、Yゲート/センスアンプブロック7、LBリード/ライト回路8、およびステータスレジスタ9のいずれかを選択して入出力バッファ11へ電氣的に接続するマルチプレクサ10を含む。

【0039】ステータスレジスタ9においては、データ書込時正確にメモリセルに対しデータの書込が行なわれたか否かを示すステータスデータおよび消去時正確にデータの消去が行なわれたか否かを示すデータを格納するレジスタが設けられる。LBリード/ライト回路8は、制御回路4の制御の下に、ロックビットの書換が指定されたときに、ブロックアドレス信号（明確には示さず）に従って対応のロックビットに対する書込/読出を行なう。

【0040】制御回路4は、この外部制御信号/CE、/OE、/WE、/WP、/RPおよび/XPの状態に従って必要な内部制御信号を発生する。この制御回路4は、メモリセルデータの書込および消去に必要な電圧の発生、書込および消去のベリファイを行なう回路を含む。この制御回路4は、論理回路で構成されてもよく、またプロセッサで構成されてもよく、またDSP（ディジタル・シグナル・プロセッサ）で構成されてもよい（この構成については後に説明する）。

【0041】図1に示すように、不揮発性半導体記憶装置においては、2つのライトプロテクト信号/WPおよび/XPが用いられる。書込または消去を行なうデータ書換動作時においては、このリセットパワーダウンモード信号/RP、ならびに第1および第2のライトプロテクト信号/WPおよび/XPの状態に従って各領域1br、1pr、および1mrごとにプロテクト態様を設定する。

【0042】図2は、この発明の実施の形態1における不揮発性半導体記憶装置のメモリブロックに対するライトプロテクトの態様を一覧にして示す図である。以下、この図2を参照して、図1に示す制御回路4が実現するライトプロテクト機能の態様について説明する。

【0043】(i) リセットパワーダウンモード信号/RPが通常動作時に与えられるHレベルよりもさらに高い電圧レベルの昇圧レベルHHに設定されるとき：この状態においては、第1および第2のライトプロテクト信号/WPおよび/XPの状態およびロックビットの値にかかわらず（ロックビット無効）、メモリアレイ1におけるすべてのメモリブロック1a～1nのデータの書換が許可される。すなわち、図3（A）に示すように、ブートブロック領域1br、パラメータブロック領域1prおよびメインブロック領域1mrに対するデータの書換は、ロックビットLBの値にかかわらず許可される。これにより、製造者が、必要なデータの初期設定および起動時に必要とされるブートプログラムのコードの

書込などを行なうことができる。

【0044】この状態においては、またロックビットLBの値の設定も行なうことができる。

【0045】(ii) リセットパワーダウンモード信号/RP、ならびに第1および第2のライトプロテクト信号/WPおよび/XPがすべてHレベルのとき：この状態においても、ロックビットLBの値にかかわらず、メモリアレイ1に含まれるメモリブロック1a～1nすべてに対するデータの書換は許可される。またロックビットLBも、その値を変更することができる。この状態では、図3（A）に示すように、ブートブロック領域1br、パラメータブロック領域1prおよびメインブロック領域1mrに対し、データの書換を行なうことができる。利用者が、たとえば制御プログラムの追加などを行ない、また製造者がパラメータブロック領域1prに対し数値パラメータなどの製品識別番号書込などをシステム組み込み時において容易に行なうことができ、またテストも容易に行なえる。

【0046】(iii) リセットパワーダウンモード信号/RPおよび第1のライトプロテクト信号/WPがともにHレベルであり、第2のライトプロテクト信号/XPがLレベルのとき：この状態においては、パラメータブロック領域1prに含まれるメモリブロック1cおよび1dに対するデータの書換は、対応のロックビットLBbおよびLBcにより決定される（ロックビット有効）。ブートブロック領域1brのメモリブロック1aおよびメインブロック領域1mrに含まれるメモリブロック1d～1nに対するデータの書換は、ロックビットLBの値にかかわらず禁止される。また、ロックビットLBの変更も禁止される。利用者が必要に応じてパラメータデータの書換を行なう。

【0047】この状態は、図3（B）に示すように、パラメータブロック領域1prに対してのみ、対応のロックビットLBの値に従って選択的に書換を行なうことができ、残りの領域に対しては、無条件にデータの書換は禁止される。この状態において、ロックビットLBの書換もまた、禁止される。

【0048】(iv) リセットパワーダウンモード信号/RPおよび第2のライトプロテクト信号/XPがともにHレベルであり、第1のライトプロテクト信号/WPがLレベルのとき：この状態においては、ロックビットLBのチップにかかわらずブートブロック領域1brのメモリブロック1aに対するデータの書換は禁止され、パラメータブロック領域1prおよびメインブロック領域1mrに含まれるメモリブロックに対するデータの書換は対応のロックビットLBの値に従って決定される。したがって、図3（C）に示すように、ブートブロック領域1brに含まれるブートコードの書換は、確実に禁止され、一方パラメータブロック領域1prおよびメインブロック領域1mrは、ロックビットLBの値に

従って書換が制御される。この状態においても、またロックビットLBの書換は禁止される。

【0049】(v) リセットパワーダウンモード信号/RPがHレベルでありかつ第1および第2のライトプロテクト信号/WPおよびXPがともにLレベルのとき：この状態においては、ブートブロック領域1br、パラメータブロック領域1prおよびメインブロック領域1mrのメモリブロックに対するデータの書換は、ロックビットの値にかかわらず禁止される（ロック状態）。したがって、図3(D)に示すように、ブートブロック領域1br、パラメータブロック領域1prおよびメインブロック領域1mrのデータの書換はすべて禁止される。また、ロックビットLBの書換も禁止される。

【0050】(vi) リセットパワーダウンモード信号/RPがLレベルのとき：この状態においては、ディープパワーダウンモードが設定され、不揮発性半導体記憶装置の内部動作は禁止されるため、ブートブロック領域1br、パラメータブロック領域1prおよびメインブロック領域1mrのデータの書換に対しロックがかけられ、またロックビットLBに対するデータ書換に対してもロックがかけられる。したがって図3(D)に示すように、メモリブロックすべてに対するデータの書換は禁止される。

【0051】この図2および図3(A)～(D)に示すように、各領域それぞれに対して、データ書換（書込／消去）に対するロック／アンロックを設定することができる。製造者が、この不揮発性半導体記憶装置に対しデータを書込む場合、図3(A)および図3(D)に示すように、ロックビットにかかわらず、データの書換の禁止／許可が決定される。一方、利用者が実際に使用する場合には、パラメータブロック領域1prおよびメインブロック領域1mrのデータは、その処理内容に応じて適宜変更される。したがって、この場合、ソフトウェア的に設定されるロックビットLBに従ってこのデータの書換が制御される。これにより、利用者の処理内容に応じてライトプロテクトを実現するために、データ書換に対するロック／アンロックを柔軟に設定することができる。

【0052】図2および図3(A)～(D)に示すように、各領域単位でデータ書換に対するロック／アンロックを設定している。ロックビットLBに従ってライトプロテクトが行なわれる場合、ロックビットはすべてその値の更新が禁止されている。したがって、ロックビットLBの値が誤って設定されることがなく、パラメータブロック領域およびメインブロック領域1mrのデータの書換が誤って行なわれることはなく、正確なライトプロテクトが実現される。

【0053】また、パラメータブロック領域1prは、製造者および利用者両者が使用する領域であり、このた

め、パラメータブロック領域に対してはロックビットLBに従ってデータの書換が行なわれる状態およびパラメータブロック領域1prおよびメインブロック領域1mr両者ともロックビットLBの値に従ってデータの書換を行なう状態の両者を設けている。パラメータブロック領域1prおよびメインブロック領域1mrに対し、ロックビットに従ってデータの書換が制御される場合には、ブートブロック領域1brに対するデータの書換は禁止される（ロックがかけられている）。したがって、このデータ書換時において、誤ってブートブロック領域に格納された書換すべきでないブートコードなどのプログラムコードが書換られるのを確実に防止することができる。

【0054】したがって、従来と異なり、ブートブロック領域、パラメータブロック領域、およびメインブロック領域個々に、ロック／アンロック状態の態様を異ならせることができ、処理内容に応じて、必要な領域に確実にデータ書換に対するロックをかけて、データの誤書込／誤消去が生じるのを防止することができる。図15に示すように、各領域共通に、プロテクト態様を設定する場合に生じる可能性のある誤消去、または誤書込を防止することができる。また、ロックビットLBの書換は、パラメータブロック領域またはメインブロック領域に対するロックビットに従うデータ書換が許可されている場合には禁止しているため、このパラメータブロック領域およびメインブロック領域に対するデータ書換を行なったときロックビットへのアクセスが行なわれるため、誤ってこのロックビットが変更されるのを防止することができる。

【0055】〔制御回路の構成〕図4は、図1に示す制御回路の書込および消去に関連する部分の構成を概略的に示す図である。図4において、制御回路4は、チップイネーブル信号/CEの活性化時外部からデータ入出力ピン端子(I/O)を介して与えられるコマンドを取込み、指定された動作モードを判定するモード判定回路4aと、このモード判定回路4aの書込／消去指示信号にตอบสนองして活性化され、外部制御信号/RP、/WPおよび/XPを取込み、その状態を判定し該判定結果を示す信号を出力するデコーダ4bと、モード判定回路4aの制御の下に活性化され、デコーダ4bから与えられるプロテクト態様指示信号とブロックアドレスとを受け、アドレス指定されたメモリブロックに対するプロテクト態様（ロック態様）を決定するプロテクト制御回路4cと、モード判定回路4aからの書込／消去指示信号にตอบสนองして活性化されかつプロテクト制御回路4cの出力する書込および消去に対する許可／禁止を示す書換禁止／許可指示信号に従って、書込および消去動作を制御する書込／消去制御回路4dを含む。

【0056】モード判定回路4aは、チップイネーブル信号/CEの活性化時、ライトイネーブル信号/WEの

活性化に従って入出力バッファを介して与えられる入力データのビットパターンを判別し、書込または消去が指定されたか否かを判定する。

【0057】デコーダ4bは、外部から与えられる信号/RP、/WPおよび/XPの状態の組合せに応じてライトプロテクト態様を示す信号を出力する。このデコーダ4bの出力するプロテクト態様指示信号は、各メモリブロック領域ごとに発生されてもよく、また図2に示すように、信号の状態の組合せそれぞれに応じて対応の内部制御信号が活性状態とされる構成のいずれが用いられてもよい。

【0058】プロテクト制御回路4cは、モード判定回路4aが書込または消去動作モードを指定するとき、デコーダ4bからのプロテクト態様指示信号とブロックアドレス信号と、LBリード/ライト回路8を介して与えられるロックビットを受け、アドレス指定されたメモリブロックに対するプロテクト態様を決定し、その決定結果に従って書込/消去制御回路4dの活性/非活性化を制御する。

【0059】書込/消去制御回路4dは、書込または消去に必要な書込/消去電圧発生回路を備え、また書込/消去ベリファイのためのシーケンスを含み、所定のシーケンスでロックビットの読出/書込を含む書込または消去動作を制御する。また発生した書込/消去電圧は、アドレスデコーダへ与えられて、選択メモリの行に対応して配置されるワード線および列に対して配置されるビット線ならびにソース線に必要な電圧が印加される。

【0060】図5は、データ書込時の外部信号のタイミング関係を示す図である。図5に示すように、時刻t1においてチップイネーブル信号/CEおよびライトイネーブル信号/WEをLレベルに設定し、かつデータ入出力端子(I/O)へ、コード“41H”を与える。このコード“41H”は、データ書込モードを指定するコマンドであり、モード判定回路4aは、このコード“41H”により、データ書込モードが指定されたことを識別する。次いで、次のサイクルで、チップイネーブル信号/CEおよびライトイネーブル信号/WEがLレベルのときに、外部から与えられる書込データ(I)が取込まれ、このときに与えられるアドレス信号AD(ページアドレスAXおよび列アドレスAY)が設定され、書込ページが指定される。ページアドレスAXは、書込データの書込時すべて同じページを示す状態に設定される。このページアドレスは、またメモリブロックを特定するブロックアドレスをも示す。列アドレスAYは、1ページのアドレスが先頭アドレスから順次与えられる。この列アドレスAYに従って、図1に示すYゲート/センスアンプブロック7に含まれるYゲートが順次選択され、図1に示すページバッファ3に、この書込データ(I)が順次ラッチされる。

【0061】時刻t2において、1ページの最後の書込

データがチップイネーブル信号/CEおよびライトイネーブル信号/WEの活性化時に内部に取込まれる。時刻t3においてチップイネーブル信号/CEおよびライトイネーブル信号/WEとともにHレベルとすることにより、内部で、ページ書込動作シーケンスが起動される。この時刻t2において、外部制御回路/RP、/WPおよび/XPを所定の状態に設定する。この外部制御信号/RP、/WPおよび/XPの状態に従って、時刻t3から始まるページ書込シーケンスにおいて、プロテクト態様が決定され、その決定されたプロテクト態様に従ってページ書込が行なわれる。

【0062】この書込動作が完了すると、外部の装置は、正確に書込が行なわれたか否かを判定するために、チップイネーブル信号/CEおよび出力イネーブル信号/OEをLレベルの活性状態とし、内部のステータスレジスタに格納されたデータ(O)を読出す。このステータスレジスタデータ(O)の値により、正確に書込が行なわれたことを外部の装置が識別し、次の書込または読出などの必要な動作が行なわれる。

【0063】図4に示す制御回路4は、この図5に示す時刻t3からのページ書込シーケンス時において、外部制御回路/RP、/WPおよび/XPの状態に従ってプロテクト態様を決定する。このページ書込シーケンスにおいては、データの書込が行なわれる場合には、まず選択されたページのメモリセルデータがすべて消去され、次いでページバッファ3に格納された書込データに従って、消去状態と異なるデータを書込むべきメモリセルに対するデータの書込が行なわれる。内部で書込および消去のベリファイ動作が行なわれ、そのベリファイ結果を示すデータがステータスレジスタに格納される。

【0064】図6は、図4に示す制御回路4の動作を示すフロー図である。以下、図6を参照して、図4に示す制御回路のデータ書込時の動作について説明する。

【0065】まず、コード“41H”が入力されたか否かの判定がモード判定回路4aにおいて行なわれる(ステップS1)。コード“41H”が入力されると、データ書込モードが指定されたため、モード判定回路4aは、書込シーケンスを設定する(ステップS2)。この書込シーケンスが設定されると、書込データが順次アドレス信号とともに与えられる。この与えられるアドレス信号ADのうち、列アドレス信号AYが1ページの最終アドレスに到達したか否かを見ることにより、1ページのすべてのデータのロードが行なわれたか否かの判定が行なわれる。

【0066】最後のデータのロードが行なわれるとき、デコーダ4bが、外部制御信号/RP、/WPおよび/XPを取込み、またプロテクト制御回路4cが、ブロックアドレスおよび書込/消去制御回路4dにより活性化されたLBリード/ライト回路8からのロックビット(LB)を読込む(ステップS4)。このプロテクト制



御回路4cは、デコード4bからのロック態様指示信号とロックビット(LB)とブロックアドレスとに従って、このブロックアドレスが指定されるメモリブロックに対するデータ書込に対しロックをかけるか否かの判定を行なう(ステップS5)。データ書込に対し許可が示されているアンロック状態のときには、図1に示すページバッファ3にロードされたデータに従って書込が行なわれる(ステップS6)。一方、データ書込に対しロックすべきであると判定された場合には、データ書込は行なわれず、データ書込シーケンスが終了する。このデータ書込の終了は、たとえばレディ/ビジー信号を用いて外部装置へ知らされる。利用者は、このレディ/ビジー信号により、データ書込が終了したことを知らされたとき、ステータスレジスタに格納されたステータスデータを読み出して、書込が正確に行なわれたか否かを知ることができる。ロック状態のときには、このステータスレジスタにおいては、書込不実施を示すデータが格納されており、一方、データ書込が行なわれた場合には、ステータスレジスタには、1ページの書込完了を示すデータが格納されており、このデータを読むことにより、利用者は、書込が行なわれたか否かを、すなわちロックされていたか否かを知ることができる。

【0067】図6のステップS4に示すように、ブロックアドレスをプロテクト制御回路4cに取込み、このブロックアドレスが指定する領域に対し、書込に対するロック/アンロックが、外部制御信号/RP、/WP、および/XPならびにロックビットLBに従って決定される。

【0068】図7は、データ消去動作時における外部信号の状態を示す図である。時刻t1において、チップイネーブル信号/CEをLレベルの活性状態とし、この状態で、外部から、コード“20H”を与える。図4に示すモード判定回路4aは、コード“20H”に従って、消去モードを指定するための第1のコマンドが入力されたと判定し、次に与えられるコマンドを待ち受ける。時刻t2において、再びチップイネーブル信号/CEをLレベルに設定し、外部からコード“D0H”をデータ入出力端子へ与える。図4に示すモード判定回路4aは、このコード“20H”および“D0H”がチップイネーブル信号/CEに従って連続して与えられたことを判定すると、内部を消去モードに設定し、外部制御信号/RP、/WP、および/XPならびに内部の対応のメモリブロックのロックビットの値に従って選択的に消去を行なう。この消去動作完了時においては、図示しないレディ/ビジー信号が外部アクセス可能状態に設定され、外部で、消去モードが完了したことを知ることができる。利用者は、時刻t4において、ステータスレジスタに格納されたデータをチェックし、正確に消去が行なわれているか否かを判定する。

【0069】図8は、この図4に示す制御回路の消去モ

ード時における動作を示すフロー図である。以下、図8のフロー図を参照して、図4に示す制御回路の消去モード時の動作について説明する。

【0070】モード判定回路4aは、チップイネーブル信号/CEが活性状態のときに、コード“20H”が入力されたか否かを判定する(ステップS10)。コード“20H”が入力されると、消去モードを指定するための第1のコマンドが与えられたと判定し、次のコマンドを待ち受ける。次いで、チップイネーブル信号/CEの活性化に従って、コード“D0H”が入力されたか否かの判定をモード判定回路4aが行なう。コード“D0H”が入力されると、モード判定回路4aは消去が指定されたと判定し、図4に示すデコード4b、プロテクト制御回路4cおよび書込/消去制御回路4dを活性化する。コード“D0H”と同時に、ブロックアドレスが与えられ、図示しない回路部分においてラッチされ、消去すべきメモリブロックが特定される。

【0071】デコード4bは、モード判定回路4aの制御の下に、外部制御信号/RP、/WPおよび/XPを取込み、これらの状態の組合せに応じた内部指示信号を発生してプロテクト制御回路4cへ与える。書込/消去制御回路4dは、ブロックアドレス信号に従って、このアドレス指定されたメモリブロックに対応するロックビットを読み出す。プロテクト制御回路4cは、書込/消去制御回路4dにより活性化されたLBリード/ライト回路8から、対応のロックビットを入力する。このプロテクト制御回路4cは、またブロックアドレスをも入力する(ステップS12)。プロテクト制御回路4cは、これらの入力した信号およびロックビットに従って、アドレス指定されたメモリブロックに対する消去の許可/禁止を判定する(ステップS13)。アドレス指定されたメモリブロックに対し、消去を行なってもよい場合(すなわちアンロック状態)が示されるときには、書込/消去制御回路4dが活性化され、消去に必要な内部電圧を発生して、アドレス指定されたメモリブロックの一括消去が行なわれる(ステップS14)。一方、ステップS13において、このアドレス指定されたメモリブロックに対する消去が禁止されており、ロックがかけられている場合には、消去は行なわれない。単に外部に対し、消去終了が示される(レディ/ビジー信号による)。

【0072】上述のように、この消去モード時においても、外部制御信号/RP、/WP、および/XPをブロックアドレス信号とロックビットLBとに従って、消去に対するロック/アンロック(禁止/許可)を決定しており、メモリブロック単位でロック/アンロックをかけることができる。

【0073】なお、ステップS11において、コード“20H”に続いて、第2サイクルでコード“D0H”が入力されない場合には、消去コマンドは与えられなかったと判定され、初期状態に戻る。これにより、誤った

消去が行なわれるのを防止する。

【0074】図9は、ロックビットの書換シーケンスにおける外部信号の状態を示す図である。図9において、時刻 $t_1$ においてチップイネーブル信号 $/CE$ をLレベルの活性状態とし、コード“77H”を入力する。これにより、ロックビット設定のための第1のコマンドが与えられる。次いで、時刻 $t_2$ において再びチップイネーブル信号 $/CE$ をLレベルの活性状態とし、コード“D0H”を入力する。これらの2つのコードにより、ロックビット設定モードが指定される。この時刻 $t_2$ におけるチップイネーブル信号 $CE$ の活性化のときに、アドレス信号 $AD$ を、ロックビットを設定するメモリブロックを指定するブロックアドレスに設定する。これにより、ロックビットを書換えるべきメモリブロックが特定される。

【0075】時刻 $t_3$ において、チップイネーブル信号 $CE$ をLレベルの活性状態とし、設定すべきロックビットのデータ(I)を入力する。このときに、外部制御信号 $/RP$ 、 $/WP$ および $/XP$ をそれぞれ所定の状態に設定する。これにより、時刻 $t_4$ においてチップイネーブル信号 $CE$ をHレベルとし、ライトイネーブル信号 $/WE$ をHレベルとすると、内部でロックビット書換モードが実行される。ロックビットのデータの実際書換は、外部制御信号 $/RP$ 、 $/WP$ および $XP$ の状態の組合せにより決定される。

【0076】時刻 $t_5$ においてこのロックビット書換モードが完了すると、外部で、ロックビットが書換えられたことを検証するために、出力イネーブル信号 $/OE$ およびチップイネーブル信号 $/CE$ をLレベルの活性状態とし、ステータスレジスタの記憶データ(O)を読み出し、確実に、このロックビットが所定の状態に更新されたことを確認する。

【0077】図10は、このロックビット設定モード時における図4に示す制御回路の動作を示すフロー図である。まず、モード設定回路4aは、コード“77H”が入力されているか否かを判定する(ステップS20)。このコード“77H”が入力されると、次いでモード判定回路4aは次のロックビット設定を行なうためのコードの入力を待つ。このコード“D0H”が入力されると(ステップS21)、モード判定回路4aは、ロックビット設定モードが指定されたと判定し、プロテクト制御回路4cおよび書込/消去制御回路4dを活性化する。このステップS21において、コード“D0H”は入力されない場合には、ロックビット設定コマンドは与えられていないと判定され、初期状態に復帰する。

【0078】次いで、設定すべきロックビットの値を示すデータがロードされる(ステップS22)。このロックビットデータは、図4に示す書込/消去制御回路4dの制御の下に、LBリード/ライト回路8へ与えられてラッチされる。

【0079】次いで、デコード4bが外部制御信号 $/RP$ 、 $/WP$ および $/XP$ を取込み、プロテクト制御回路4cが、ブロックアドレス信号を取込み、また、先の書込/消去モード時と同様、書込/消去制御回路4dがLBリード/ライト回路8を活性化し、書込/消去制御回路4dの制御の下にブロックアドレス信号が指定するメモリブロックに対するロックビットの値をプロテクト制御回路4cが読み込む(ステップS23)。

【0080】プロテクト制御回路4cは、これら読み込んだ信号に従って、アドレス指定されたメモリブロックに対するロックビットの書換の禁止/許可(ロック/アンロック)を判定する(ステップS24)。ロックビットの書換が許可されている場合(アンロック状態のとき)、書込/消去制御回路4dの下に、LBリード/ライト回路8によりラッチされていたロックビットデータに従ってロックビットの書換が行なわれる(ステップS25)。このロックビットの書換時においては、メモリのデータ書込と同様に、ロックビットの消去状態への駆動が行なわれた後、このLBリード/ライト回路8にラッチされた書込データに従って消去状態または書込状態にこのロックビットを格納する不揮発性メモリセルが設定される。ステップS24において、ロックビットの書換が禁止されている場合(ロック状態のとき)、ロックビット書換は実行されず、外部のレディ/ビジー信号がレディ状態とされ、外部アクセスを許可し、またロックビット書換モードが完了したことを知らせる。

【0081】なお、この図10に示すフロー図において、ロックビット更新時において、ロックビットLBの読み込みを行なって、このロックビットの書換に対するロック/アンロックを判定している。ここで、先の通常のメモリセルデータの書換/消去のロック/アンロックを判定する場合と同じ制御シーケンスを制限するためである。ロックビット書換モード時においては、外部制御信号 $/RP$ 、 $/WP$ および $/XP$ の状態の組合せに従ってその書換の禁止/許可が判定される構成が用いられてもよい。

【0082】[プロテクト制御回路の構成1]図11は、図4に示すプロテクト制御回路4cの構成を概略的に示す図である。図11において、デコード4bは、外部制御信号 $/RP$ 、 $/WP$ および $/XP$ の状態に従って、図2に示す各行それぞれに対応する制御信号 $\phi 1 \sim \phi 6$ のいずれかを活性状態へ駆動する。ここで、図11において、デコード4bの出力する制御信号 $\phi 1 \sim \phi 6$ は、外部制御信号 $/RP$ 、 $/WP$ および $XP$ に対する対応関係を明確にするために用いられている。図2に示すように、デコード4bが指定するプロテクト状態は、4種類である。したがって、これらの制御信号 $\phi 1 \sim \phi 6$ は、それぞれ状態に合わせて4種類の信号に低減されてもよい。

【0083】プロテクト制御回路4cは、ブロックアドレス信号とロックビット設定指示を受け、書込（書込／消去）を行なう領域が、いずれの領域であるかを判定する領域判定部4caと、領域判定部4caの領域指定信号φrとデコード4bからの制御信号φ1～φ6に従って、プロテクト態様を決定するロック判定部4cbと、ロック判定部4cbの出力信号に従って、ロックビットLBを選択的に通過させるゲート4ccを含む。ロック判定部4cbは、ロックビットLBの値にかかわらずロックまたはアンロック状態に設定するときには、そのロック／アンロックを示す信号L／Uを生成するとともに、ゲート4ccを出力ハイインピーダンス状態に設定する。ロック判定部4cbは、プロテクト態様がロックビットLBに従って決定されるときにはゲート4ccを導通状態として、ロックビットLBを通過させて書込／消去制御回路へロック／アンロック設定信号として与える。

【0084】領域判定部4caは、ブロックアドレス信号の特定のアドレス信号（たとえば上位アドレス信号）により、このブロックアドレスが指定するメモリブロックがブートブロック領域、パラメータブロック領域、およびメインブロック領域のいずれに含まれるかを判定する。領域判定部4caは、またロックビットの書換を指示するロックビット設定指示が活性状態のときには、ブートブロック領域を指定する信号を発生する。これは、図2に示すように、ロックビットに対するプロテクト態様と、ブートブロック領域のメモリブロックに対するプロテクト態様は同じであるためである。この領域判定部4caは、たとえばブロックアドレス信号の特定のアドレスビットを入力するテーブルメモリで構成することができる。

【0085】ロック判定部4cbは、デコード4bからの制御信号φ1～φ6のいずれが活性状態にあるかおよび領域判定部4caからの領域指定信号φrがいずれの領域を指定しているかに従って、このアドレス指定されたメモリブロックに対するプロテクト態様を決定する。たとえば、外部制御信号／RPおよび／WPがともにHレベルであり、外部制御信号／XPがLレベルにあるとき、デコード4bが制御信号φ3を活性状態とする。このとき、領域判定部4caからの領域指定信号φrがパラメータブロック領域を示すとき、ブロック判定部4cbは、図2に示すように、このデータ書換（書込／消去）に対するプロテクト態様として、ロックビットLBに従うべきであると判定する。この状態においては、ゲート4ccがイネーブルされ、ロックビットLBが書込／消去制御回路へ与えられる。このロック判定部4cbは、制御信号φ1～φ6と領域指定信号φrを用いて図2に示すテーブルを満たすようにロジックゲートまたはゲートアレイにより実現することができる。これに代えてロック判定部4cbは、プロセサなどで構成されても

よい。

【0086】この図11に示すように、領域判定部4caを用いて各アドレス指定されたメモリブロックがいずれの領域に含まれるかに従って、プロテクト態様を判定することにより、各領域単位でプロテクト態様を設定することができる。

【0087】「プロテクト制御回路の構成2」図12は、図4に示すプロテクト制御回路4cの他の構成を示す図である。この図12に示す構成において、まずデコード4bは、外部制御信号／RP、／WPおよび／XPに従って、各領域ごとにロック／アンロック／ロックビットに示す信号を出力する。すなわちデコード4bは、ブートブロック領域に対するロック／アンロックを示す信号φbrを出力し、パラメータブロック領域に対し、ロック／アンロック／ロックビットに示す信号φprを出力し、メインブロック領域に対し、ロック／アンロック／ロックビットに従うそれぞれを示す信号φmrを出力する。

【0088】プロテクト制御回路4cは、ブロックアドレス信号とロックビット設定指示を受け、データ書換を行なう領域を判定する領域判定部4aと、領域判定部4aからの領域指定信号φrに従ってデコード4bの出力信号φbr、φpr、およびφmrのいずれかの選択するセクタ4cdと、セクタ4cdの出力信号φ1、φu1、およびφ1bを受け、このデータ書換に対するプロテクト態様を決定するロック判定部4ceと、ロック判定部4ceの出力する制御信号に従ってロックビットLBを選択的に通過させるゲート4ccを含む。

【0089】セクタ4cbは、領域判定部4aが出力する領域指定信号φrが指定する領域に対応する信号の組を選択し、ロック指示信号φ1、アンロック指示信号φu1、およびロックビット依存指示信号φ1bを生成する。

【0090】ロック判定部4ceは、セクタ4cdからの指示信号φ1、φu1、およびφ1bのいずれが活性状態にあるかに従って、プロテクト態様を決定する。ロック指示信号φ1およびアンロック指示信号φu1のいずれかが活性状態のときには、ロック判定部4ceは、ロック／アンロックを示す信号を出力するとともに、ゲート4ccを出力ハイインピーダンス状態に設定する。ロックビット依存指示信号φ1bが活性状態のときには、ロック判定部4ceは、ゲート4ccをイネーブルし、ロックビットLBを通過させてロック／アンロック指示信号として書込／消去制御回路へ与える。

【0091】この図12に示す構成において領域判定部4aおよびゲート4ccは図11に示す構成と同じである。

【0092】このデコード4bが各領域ごとにプロテクト態様指示信号を生成する構成となり、ロック判定部4ceにおける判定のための構成が簡略化される。

【0093】[他の適用例] 不揮発性半導体記憶装置としては、消去がメモリブロック単位で行なわれるフラッシュメモリ(フラッシュEEPROM)であってもよく、また通常の消去がバイト単位で行なわれる電氣的に書込消去可能なEEPROM、データの出力がシリアルに行なわれるシリアルEEPROM、および強誘電体材料を記憶のために用いる強誘電体メモリ(FRAM)のいずれであってもよく、データ書換に対するプロテクト機能が設けられている不揮発性メモリであれば、本発明は適用可能である。

【0094】また、メモリアレイが、複数のアドレス領域を有し、各アドレス領域毎に格納するデータの種類の異なる構成であれば、いずれのメモリにも本発明は適用可能である。

【0095】また、この発明に従う不揮発性メモリは、携帯電話システムにおけるメモリ、ICカードにおけるメモリ、デジタル・スチル・カメラにおけるプログラム/データメモリ、携帯情報機器(PDA)のいずれにおいて用いられてもよい。

【0096】

【発明の効果】以上のように、この発明に従えば、複数の領域に分割されるメモリアレイにおいて、各領域単位でプロテクト態様を設定することができるように構成したため、処理用途に応じて柔軟にプロテクト態様を設定することができ、確実な誤書換(誤書込/誤消去)を防止することができる。また、利用者は、その処理用途に応じて、簡単にプロテクト態様を設定することが可能となる。

【0097】すなわち、請求項1に係る発明に従えば、各々が異なる属性を有するデータを不揮発的に格納する複数のメモリブロック領域に対し、複数の外部制御信号の状態に従ってこれら複数のメモリブロック領域のデータ書換に対する保護態様を領域単位で設定するように構成しているため、プロテクト態様を柔軟に設定することが可能となり、使い勝手の良い半導体記憶装置を実現することができる。また、必要とされる領域に対してのみ、プロテクトをかけることができ、確実に、データの保護を行なうことができ、信頼性の高い半導体記憶装置を実現することができる。

【0098】請求項2に係る発明に従えば、複数の外部制御信号の状態に従ってメモリブロック個々に設けられているブロックビットの有効/無効をグループごとに決定するように構成しているため、データ書換に対するプロテクトを、各領域単位で、無条件に禁止、無条件に許可、およびロックビットに従うのいずれかに設定することができ、書換データに応じて、確実に、データの保護を行なうことができる。また、無条件禁止/無条件許可およびロックビットに従うの状態をグループ単位で設定しているため、製造者がデータ/コードを書込む場合に、無条件の許可/禁止状態に設定し、利用者が利用す

る場合には、ロックビットに従う状態に設定することにより、利用者/製造者いずれにとっても、使い勝手の良い半導体記憶装置を実現することができる。

【0099】請求項3に係る発明に従えば、複数の外部制御信号として、リセットパワーダウンモード指示信号と、データ書換に対するプロテクトを指示する第1および第2のライトプロテクト指示信号とを用いているため、従来の構成に比べて、1つのプロテクト指示信号の増加のみで、柔軟にメモリブロック領域単位でプロテクト態様を設定することができる。

【0100】請求項4に係る発明に従えば、メモリブロックが、データを不揮発的に記憶しており、データ書換は記憶データの消去および外部データの書込および記憶両者を含んでおり、消去モードおよび書込モード(プログラムモード)いずれにおいても、柔軟にプロテクト態様を決定することができる。

【0101】請求項5に係る発明に従えば、ライトプロテクト機能を有する半導体記憶装置において第1および第2のライトプロテクト指示信号入力ピンを設け、複数のメモリブロック個々のライトプロテクトの態様を所定数の複数のメモリブロックを有する領域単位で設定するように構成しているため、1つのライトプロテクト指示信号の増設のみで、領域単位で柔軟にプロテクト態様を設定することができ、利用者にとって、処理用途に応じてプロテクト態様を柔軟に設定することができ、利用者にとって使い勝手の良い不揮発性半導体記憶装置を実現することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従う半導体記憶装置の全体の構成を概略的に示す図である。

【図2】 図1に示す制御回路4の外部制御信号とライトプロテクト態様との対応関係を示す図である。

【図3】 (A) - (D) は、図2に示すライトプロテクト態様における各ブロック領域のプロテクト態様を示す図である。

【図4】 図1に示す制御回路の構成を概略的に示す図である。

【図5】 この発明の不揮発性半導体記憶装置のデータ書込モード時の外部制御信号のシーケンスを示す図である。

【図6】 データ書込モード時における図4の制御回路の動作を示すフロー図である。

【図7】 データ消去モード時の外部制御信号のシーケンスを示す波形図である。

【図8】 データ消去モード時における図4に示す制御回路の動作を示すフロー図である。

【図9】 ロックビット設定モードにおける制御信号のシーケンスを示す図である。

【図10】 ロックビット設定シーケンスにおける図4の制御回路の動作を示すフロー図である。

【図11】 図4に示すプロテクト制御回路の構成を概略的に示す図である。

【図12】 図4に示すプロテクト制御回路の他の構成を概略的に示す図である。

【図13】 従来の不揮発性半導体記憶装置の要部の構成を概略的に示す図である。

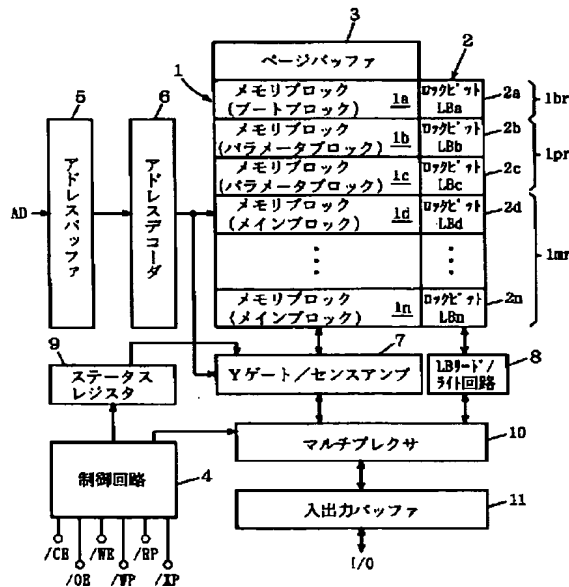
【図14】 図13に示すメモリアレイの分割構成を概略的に示す図である。

【図15】 従来の不揮発性半導体記憶装置のライトプロテクト態様を一覧にして示す図である。

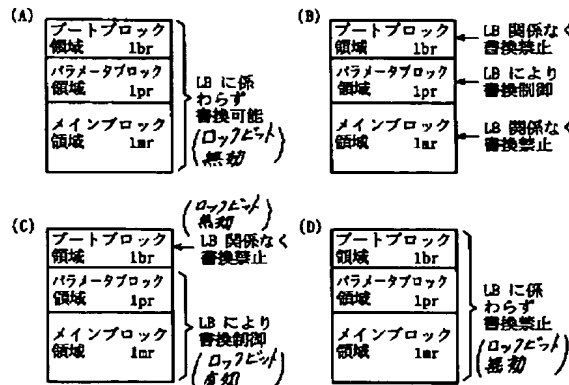
【符号の説明】

1 メモリアレイ、1a～1n メモリブロック、1br ブートブロック領域、1pr パラメータブロック領域、1mr メインブロック領域、2 プロテクト制御データ格納領域、2a～2n ロックビット格納部、3 ページバッファ、4 制御回路、5 アドレスバッファ、6 アドレスデコーダ、7 Yゲート/センスアンプ、8 LBリード/ライト回路、4a モード判定回路、4b デコーダ、4c プロテクト制御回路、4d 書込/消去制御回路、4ca 領域判定部、4cb ロック判定部、4cc ゲート、4cd セクタ、4ce ロック判定部。

【図1】



【図3】

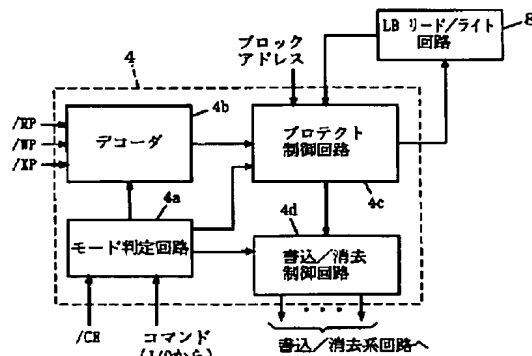


【図2】

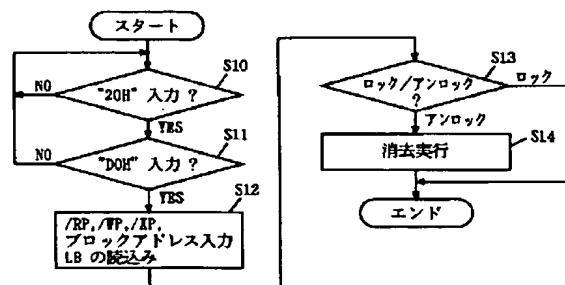
/RP	/WP	/XP	ブート ブロック 領域	パラメータ ブロック 領域	メイン ブロック 領域	ロック ビット LB
EH	X	X	アンロック	アンロック	アンロック	アンロック
H	H	H	アンロック	アンロック	アンロック	アンロック
H	H	L	ロック	LB に従う	ロック	ロック
H	L	H	ロック	LB に従う	LB に従う	ロック
B	L	L	ロック	ロック	ロック	ロック
L	X	X	ロック	ロック	ロック	ロック

X:任意

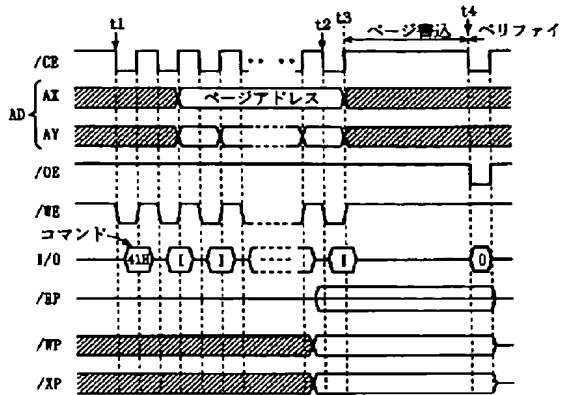
【図4】



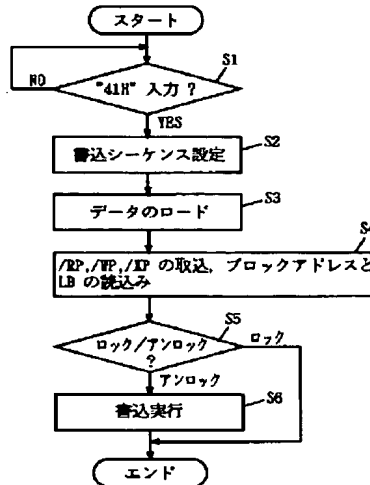
【図8】



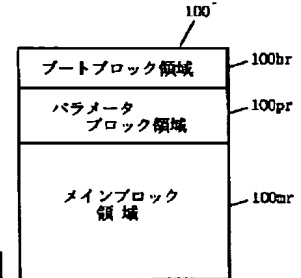
【図5】



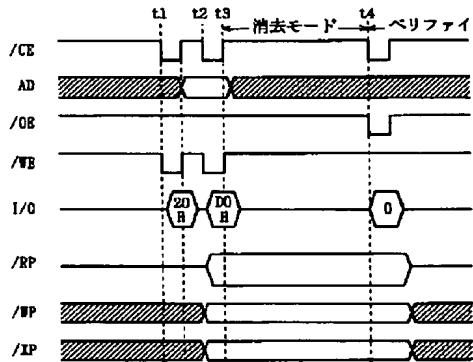
【図6】



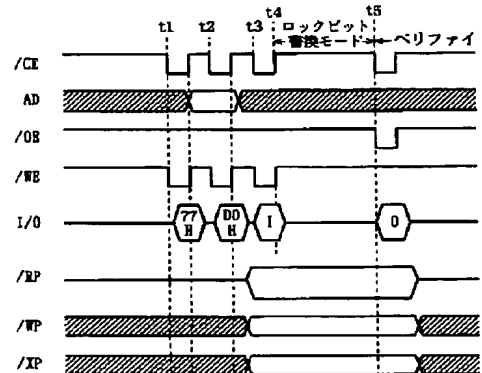
【図14】



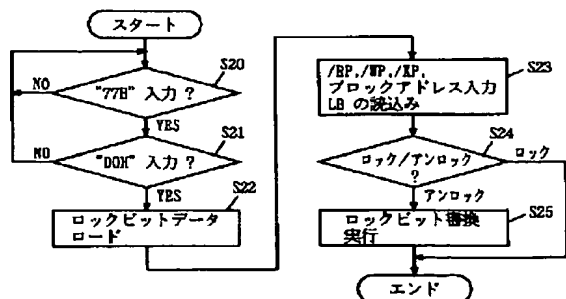
【図7】



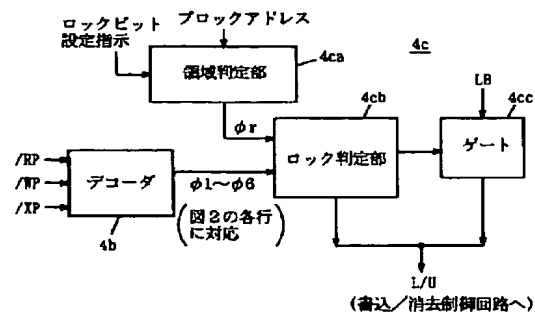
【図9】



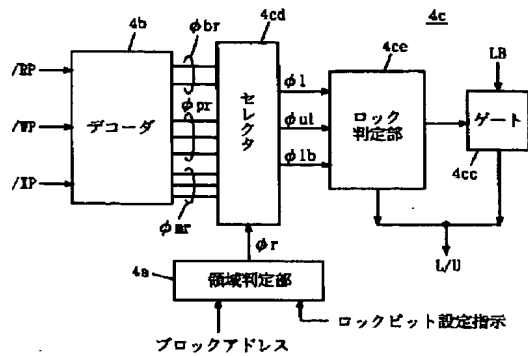
【図10】



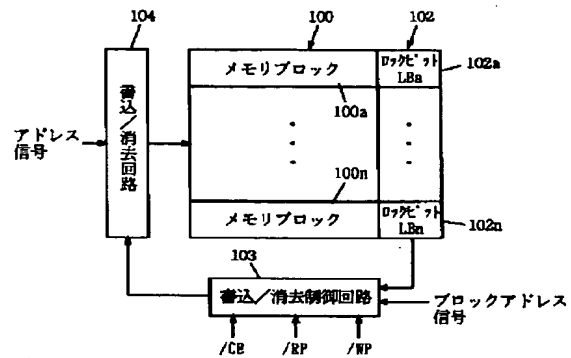
【図11】



【図12】



【図13】



【図15】

/RP	/WP	ブート ブロック 領域	パラメータ ブロック 領域	メイン ブロック 領域	ロック ビット LB
H	X	アンロック	アンロック	アンロック	アンロック
H	H	アンロック	アンロック	アンロック	アンロック
H	L	LB に従う	LB に従う	LB に従う	アンロック
L	X	ロック	ロック	ロック	ロック

X:任意

フロントページの続き

(72)発明者 小林 和男  
 東京都千代田区丸の内二丁目2番3号 三  
 菱電機株式会社内